

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
H 0 3 F 3/195		H 0 3 F 3/195	5 F 0 3 8
H 0 1 L 27/04		1/02	5 J 0 9 2
21/822		H 0 1 L 27/04	F
H 0 3 F 1/02			E
			C
審査請求 未請求 請求項の数 7 O L (全 9 頁)			

(21)出願番号	特願2000-226690(P2000-226690)	(71)出願人	000003078 株式会社東芝
(22)出願日	平成12年 7 月27日 (2000. 7. 27)		東京都港区芝浦一丁目 1 番 1 号
		(72)発明者	梅田 俊之
			神奈川県川崎市幸区小向東芝町 1 番地 株
			式会社東芝研究開発センター内
		(74)代理人	100083161
			弁理士 外川 英明

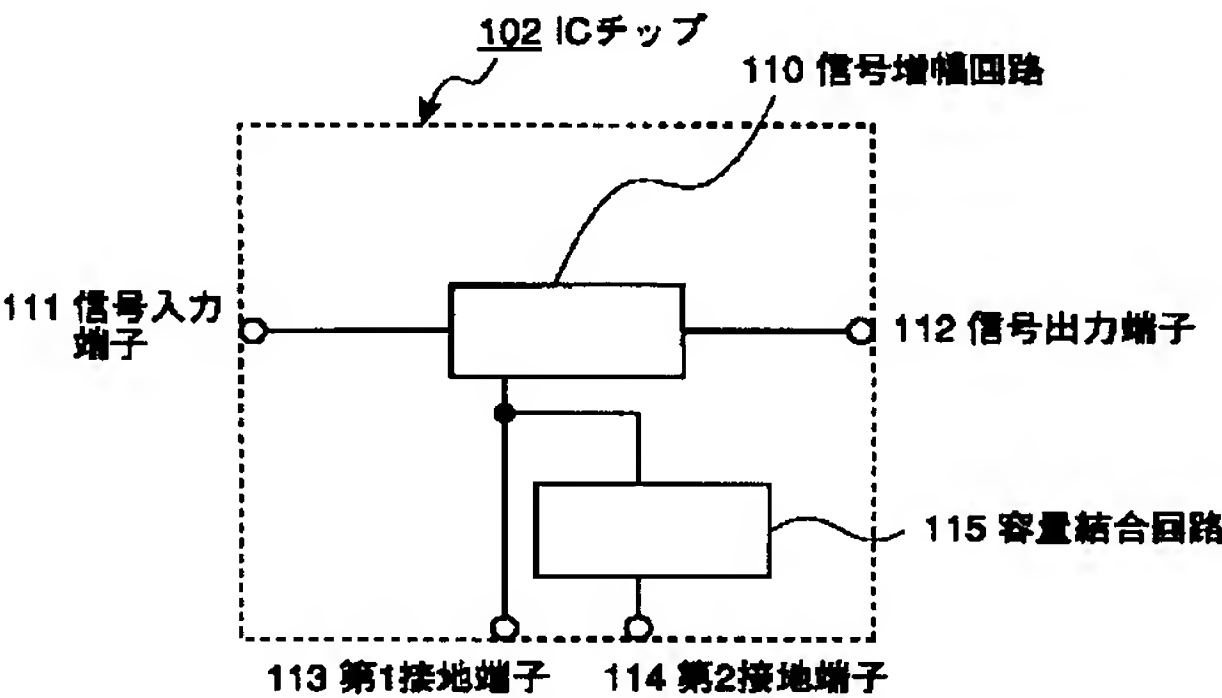
最終頁に続く

(54)【発明の名称】 高周波集積回路及び半導体装置

(57)【要約】

【課題】 本発明は高周波で信号を入出力する携帯電話機中に搭載された電力増幅器、低雑音増幅器等の高周波集積回路が実装の形態に関わらず高利得、高効率を得る方式を提供する。

【解決手段】 半導体基板 1 0 2 上に設けられ、かつ、入力信号を増幅し、増幅した入力信号を出力する信号増幅回路 1 1 0 と、前記半導体基板上に設けられ、かつ、前記信号増幅回路の接地電極と配線のみで接続された第 1 接地端子 1 1 3 と、前記半導体基板上に設けられ、かつ、容量結合回路 1 1 5 を介して前記信号増幅回路の接地電極と接続された第 2 接地端子 1 1 4 を備える高周波集積回路。



## 【特許請求の範囲】

【請求項 1】 半導体基板上に設けられ、かつ、入力信号を増幅し、増幅した入力信号を出力する信号増幅回路と、

前記半導体基板上に設けられ、かつ、前記信号増幅回路の接地電極と配線のみで接続された第 1 接地端子と、  
前記半導体基板上に設けられ、かつ、容量結合回路を介して前記信号増幅回路の接地電極と接続された第 2 接地端子を備える高周波集積回路。

【請求項 2】 前記容量結合回路の容量値が可変であることを特徴とする請求項 1 記載の高周波集積回路。 10

【請求項 3】 前記第 1 及び第 2 接地端子と前記半導体基板外部の回路とはワイヤを用いて接続されることを特徴とする請求項 1 記載の高周波集積回路。

【請求項 4】 前記ワイヤの誘導値と、前記容量結合回路の容量値の積の平方根の逆数が前記信号増幅回路の使用角周波数帯に近い値であることを特徴とする請求項 3 記載の高周波集積回路。

【請求項 5】 前記第 2 接地端子は、さらに負性抵抗回路を介して前記信号増幅回路の接地電極と接続されることを特徴とする請求項 1 記載の高周波集積回路。 20

【請求項 6】 前記負性抵抗回路は前記信号増幅回路の接地電極側の寄生抵抗値と抵抗の絶対値が実質的に等しく、かつ、負の符号の抵抗値を持つことを特徴とする請求項 5 記載の高周波集積回路。

【請求項 7】 半導体基板上に設けられ、かつ、入力信号を増幅し、増幅した入力信号を出力する信号増幅回路と、前記半導体基板上に設けられ、かつ、前記信号増幅回路の接地電極と配線のみで接続された第 1 接地端子と、前記半導体基板上に設けられ、かつ、容量結合回路を介して前記信号増幅回路の接地電極と接続された第 2 接地端子を有する高周波集積回路と、  
前記高周波集積回路を実装したリードフレームと、  
前記第 1 接地端子と前記リードフレームの第 1 接地リード線を接続する第 1 ワイヤと、  
前記第 2 接地端子と前記リードフレームの第 2 接地リード線を接続する第 2 ワイヤと、  
前記高周波集積回路を覆うモールド樹脂を備える半導体装置。 30

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は無線通信システム等の無線周波（高周波）帯域で使用する集積回路（Integrated Circuit；IC）に関する。

## 【0002】

【従来の技術】 携帯電話の小型軽量化、高性能化、低価格化に伴い、装置内部の各部品は高効率、低価格がますます要求されてきている。特に信号を出力するパワーアンプ等の高周波部品は、部品価格を下げるため高性能を維持しつつ低価格なパッケージ部材等を用いる必要があ 50

る。

【0003】 通常GHz帯で使用するパワーアンプは高周波で特性の得られるGaAs系ショットキーゲート電界効果トランジスタ(metal semiconductor FET；MESFET)やGaAs系ヘテロ接合バイポーラトランジスタ(heterojunction bipolar transistor；HBT)等を増幅素子としたICチップを使用する。この素子はウェハ価格や製造コストの高価なものであるため、パワーアンプの製品価格を低価格に抑えるためにはパッケージの実装コストを抑えることが一般的である。低価格なパッケージの一例としてはプラスチックパッケージがある。

【0004】 図13は従来のプラスチックパッケージの概略図を示す。リードフレーム100のベッド101上にICチップ102を搭載し、ICチップの外域をモールド樹脂（エポキシ樹脂）103で覆っている。このプラスチックパッケージはエポキシ樹脂など安い部材で構成できることと、量産ラインで大量に生産できるため、低価格化には最も適している。

【0005】 ICチップをプラスチックパッケージに実装する方法は、ベッド101へICチップを固定し、ワイヤ130によってIC電源リード線104、入力リード線105及び出力リード線106とICチップのパッド107との電氣的接続をおこなう。また、ICチップの接地パッド108も同様にワイヤ130によってリードフレームの接地リード線109と電氣的接続される。これらの電氣的接続がされた後、型枠に固定されたモールド樹脂103を注入し、プラスチックパッケージが完成する。このようにプラスチックパッケージは簡便で量産に適し、部材費も廉価のため、携帯電話のような大量生産品には最適である。

【0006】 上述したように、プラスチックパッケージは実装費、部材費ともに非常に安くできるため、携帯電話等に用いるのに適している。しかし、高周波集積回路をプラスチックパッケージに実装する場合、特にパワーアンプなど高利得、高効率が要求される回路をプラスチックパッケージに実装した場合に、ICチップ単体での特性に比較してプラスチックパッケージ全体としての特性が劣化するという問題点がある。

【0007】 以下、図14を用いて上述した問題点を説明する。ICチップ102をワイヤによって接地リード線109に実装するために、ICチップ上の接地パッド108からモールド樹脂103外部への接地方向を見た場合、ワイヤ130の誘導性により周波数に比例して、接地インピーダンスZが増大して見えることになる。ここで、従来のICチップのブロック図を図15に示す。従来のICチップでは、信号増幅回路110の接地電極とICチップの接地端子113とは配線のみで接続されていた。

【0008】 また、プラスチックパッケージには必ず対地容量が存在するため、ICチップの接地パッド108からパッケージ外部の接地点（例えば、プラスチックパッ

## 3

ケースが実装されているプリント基板の接地点)へは容量的に結合されている。このため、ICチップ102から見た場合ワイヤ130の誘導性と対地容量によって並列共振的に作用するため、ICチップ内の増幅素子の使用周波数帯が高周波化するのに応じて、接地インピーダンスが増大して見えることになる。接地インピーダンスが増大することによりICチップ内の増幅素子の利得が下がり、出力パワー（（出力パワー）＝（入力パワー）×（利得））の劣化及び効率の劣化が生じる。パワーアンプでは出力パワーの劣化は大きな問題であり、対策が必要である。

【0009】

【発明が解決しようとする課題】本発明の目的は前述した出力パワーの劣化を低減した高周波集積回路を提供することである。

【0010】

【課題を解決するための手段】第1の発明は、半導体基板上に設けられ、かつ、入力信号を増幅し、増幅した入力信号を出力する信号増幅回路と、前記半導体基板上に設けられ、かつ、前記信号増幅回路の接地電極と配線のみで接続された第1接地端子と、前記半導体基板上に設けられ、かつ、容量結合回路を介して前記信号増幅回路の接地電極と接続された第2接地端子を備える高周波集積回路である。

【0011】第2の発明は、前記容量結合回路の容量値が可変であることを特徴とする第1の発明に記載の高周波集積回路である。

【0012】第3の発明は、前記第1及び第2接地端子と前記半導体基板外部の回路とはワイヤを用いて接続されることを特徴とする第1の発明に記載の高周波集積回路である。

【0013】第4の発明は、前記ワイヤの誘導値と、前記容量結合回路の容量値の積の平方根の逆数が前記信号増幅回路の使用角周波数帯に近い値であることを特徴とする第3の発明に記載の高周波集積回路である。

【0014】第5の発明は、前記第2接地端子は、さらに負性抵抗回路を介して前記信号増幅回路の接地電極と接続されることを特徴とする第1の発明に記載の高周波集積回路である。

【0015】第6の発明は、前記負性抵抗回路は前記信号増幅回路の接地電極側の寄生抵抗値と抵抗の絶対値が実質的に等しく、かつ、負の符号の抵抗値を持つことを特徴とする第5の発明に記載の高周波集積回路である。

【0016】第7の発明は、半導体基板上に設けられ、かつ、入力信号を増幅し、増幅した入力信号を出力する信号増幅回路と；前記半導体基板上に設けられ、かつ、前記信号増幅回路の接地電極と配線のみで接続された第1接地端子と；前記半導体基板上に設けられ、かつ、容量結合回路を介して前記信号増幅回路の接地電極と接続された第2接地端子を有する高周波集積回路と、前記高

## 4

周波集積回路を実装したリードフレームと、前記第1接地端子と前記リードフレームの第1接地リード線を接続する第1ワイヤと、前記第2接地端子と前記リードフレームの第2接地リード線を接続する第2ワイヤと、前記高周波集積回路を覆うモールド樹脂を備える半導体装置である。

【0017】本発明によれば、信号増幅回路を構成する増幅用トランジスタの使用周波数帯で、第1接地端子へ接続する経路の接地インピーダンスが増大しても、第2接地端子へ接続する経路は実装時の寄生インダクタンス成分と容量結合回路との関係が直列共振的に作用するため、接地インピーダンスは最小の値を取ることができ、したがって、ICチップをプラスチックパッケージに実装した時の寄生分（対地容量）による利得劣化を低減でき、出力パワーの劣化も低減できる。

【0018】特に、容量結合回路の容量値Cは信号増幅回路を構成する増幅用トランジスタの使用周波数fとICチップのパッドからプラスチックパッケージ外部の接地電極までのインダクタ値Lとを用いて

【0019】

【数1】

$$C = \frac{1}{L(2\pi f)^2} \quad (1)$$

【0020】の値に近い容量値に設定すると効果的である。

【0021】また、容量結合回路として可変容量結合回路を用いた場合、可変容量結合回路の容量値が調整可能であるため、パッケージ外部の実装形態による誘導性が発生した場合（例えば、実装時の条件によってはプラスチックパッケージを搭載するマザーボード（プリント基板）の配線が誘導性を持つ場合）あるいは使用周波数帯の変更があった場合でも、式（1）を用いて可変容量結合回路の容量値を調整することにより、自由に直列共振周波数を設定できるため、実装条件及び使用条件によらず理想的な増幅素子の特性を得ることが可能である。ここで、理想的な増幅素子の特性とは、接地インピーダンスの値が、バイポーラトランジスタの場合はエミッタ抵抗のみ、電界効果トランジスタの場合はソース抵抗のみになることをいう。

【0022】また、容量結合回路と負性抵抗発生回路を介して第2接地端子へ接続する経路を有する場合、当該負性抵抗の値を増幅用トランジスタ内部の接地端子電極部に寄生する抵抗値に対して概略等しい絶対値で、負の値に設定することができる。このため、バイポーラトランジスタ中に含まれるエミッタ抵抗、あるいは電界効果トランジスタ中に含まれるソース抵抗を相殺し、無抵抗に近づけることが可能となる。この結果、従来は増幅素子の利得特性のうち、エミッタ抵抗あるいはソース抵抗で減少していた減衰分を取り除くことができる。

【0023】



【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、現実のものとは異なることに留意すべきである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0024】（第1の実施形態）図1は本発明の第1実施形態に係る高周波集積回路のブロック図である。点線枠で囲んだ部分が半導体基板に形成された高周波集積回路（ICチップ）102である。ICチップ102の内部には信号増幅回路110がある。信号増幅回路110は、例えば、ICチップの半導体基板がGaAs基板の場合は、GaAs系ショットキーゲート電界効果トランジスタ（Metal-semiconductor FET; MESFET）やGaAs系ヘテロ接合バイポーラトランジスタ（heterojunction bipolar transistor; HBT）等の増幅素子を含んでいる。信号入力端子111、信号出力端子112、第1接地端子113及び第2接地端子114はそれぞれICチップ102上のボンディングパッド（以下、単にパッドと記す）である。信号増幅回路の接地電極と第1接地端子113とは配線のみで接続され、かつ、信号増幅回路110の接地電極と第2接地端子114とは容量結合回路115を介して交流的に短絡されている。

【0025】本実施形態によれば、増幅素子の使用周波数帯で第1接地端子113へ接続する経路の接地インピーダンスが増大しても、第2接地端子114へ接続する経路はICチップ102をプラスチックパッケージに実装する時の寄生インダクタンス成分と容量結合回路との関係が直列共振的に作用するため、接地インピーダンスは最小の値を取ることができる。従って、対地容量によるICチップ102内の増幅素子の利得劣化が生じにくくなり、出力パワーの劣化も低減できる。

【0026】特にプラスチックパッケージのように実装時のボンディングワイヤの誘導値、リードフレームの誘導値など誘導性の大きなパッケージに本実施形態を使用するとプラスチックパッケージの影響を完全に除去できるため、増幅素子本来の利得特性および効率得ることができる。

【0027】図2は図1の回路構成の具体的な回路図である。点線枠内はICチップ102を意味し、ICチップ102内部には第1及び第2の増幅用トランジスタ（バイポーラトランジスタ）Q1、Q2、交流結合用キャパシタCc1、Cc2、Cc3、信号遮断用インダクタLv1、Lv2、Lv3、Lv4、そして増幅用トランジスタQ1、Q2の接地電極（エミッタ電極）にそれぞれ直列接続された接地用キャパシタCg1、Cg2で構成されている。この接地用キャパシタCg1、Cg2が図1の容量結合回路115に相当する。図中正方形で示した部分はICチップのパッドである。各ボンディングパッドはRFinが信号入力用パッド、RFoutが信号出力パッ

ド、Vb1、Vc1、Vb2、Vc2は各トランジスタのバイアス電源電圧用パッドである。点線枠外部にある接地ワイヤのインダクタLw1、Lw2、Lw3、Lw4はICチップをプラスチックパッケージに実装した時のボンディングワイヤを意味し、ICチップ内部の接地用パッド（118、119）とICチップ外部の接地電極とを接続されている。すなわちICチップ実装時はICチップ内部の接地用パッドは必ずICチップ外部の接地電極との間にインダクタが入ることになる。

【0028】この接地ワイヤのインダクタの値は実装形態によって大きく変わるが、プラスチックパッケージを用いた場合、0.5nHから2nH程度のインダクタンスを一般的に持っている。

【0029】本実施形態は図2の増幅用トランジスタQ1、Q2の接地電極（エミッタ電極）に直列接続されたキャパシタCg1、Cg2及び接地ワイヤのインダクタLw2、Lw4があるため、(1)式に基づきCg1とLw2そしてCg2とLw4でそれぞれ直列共振を使用周波数fで発生させることができる。したがってプラスチックパッケージに実装しても接地インピーダンス（図2のZ）はワイヤなどの配線抵抗だけとなり、理想的に0Ωまで下げることが可能である。すなわち、実装時でもトランジスタへ負帰還がかかることが無くトランジスタの利得特性を劣化させることが無い。また、効率も良好となる。

【0030】図3は本実施形態に係る高周波集積回路（ICチップ）102をリードフレームを用いたプラスチックパッケージに実装した図である。接地用リード線としては第1接地リード線116と第2接地リード線117の2種類を用いている。第1接地リード線116は図2の接地ワイヤのインダクタLw1、Lw3に相当し、第2接地リード線117は図2の接地ワイヤのインダクタLw2、Lw4に相当する。

【0031】従来はボンディングワイヤの影響をできる限り少なくするため、IC下部のベッドを接地用電極として用い、さらにベッドから裏面へ接地電極を取り出す必要があった。このためそのIC専用的なリードフレームが必要となり、また、モールドパッケージの工程が複雑となるため、コスト上昇の一因となっていた。

【0032】本実施形態を用いることで、接地用リード線として通常のリード線（リードフレームのリード線）を使用することができ、一般的なリードフレームと実装工程を用いることができるため、簡便で低コストな製品となる。

【0033】図4は本実施形態時のプラスチックパッケージ内部での実装による寄生成分の模式図である。ここではICチップ102の第2接地パッド119から第2接地リード線117までの成分を示している。容量結合回路115のキャパシタとボンディングワイヤ130のインダクタにより、キャパシタとインダクタの直列接続となっている。またICチップの対地容量200を容量結合回路115のキャパシタと並列接続で示している。

【0034】図5は本実施形態(図4)と従来例(図14)との実装時の接地インピーダンスの特性を示す図である。実線が本実施形態の接地インピーダンスであり、破線が従来例の接地インピーダンスである。従来例(図14)は1mm程度のボンディングワイヤ130のインダクタンス(0.2~0.3nH)の影響とチップから接地への寄生容量(対地容量)200(数10pF)の並列接続のため周波数と共に接地インピーダンスが増大し、ある周波数で並列共振が発生し、インピーダンスが無限大になる。例えば、使用周波数帯が2GHz帯、インダクタンスが0.2~0.3nHの時、接地インピーダンスは3Ω前後と非常に高くなる。

【0035】本実施形態(図4)はICチップ内部に形成したキャパシタ(容量結合回路)115とボンディングワイヤ130のインダクタンスとが使用周波数fで直列共振となるようにキャパシタの値を設定しているため、接地インピーダンスは実質的に0となる。例えば、使用周波数fが2.0GHz、インダクタンスが1nHの時は、キャパシタは6.3pFと設定した。尚、対地容量の値は、使用周波数fから見て、非常に大きいため、対地容量200側には電流が流れにくくなる。従って、本実施形態では、使用周波数帯f以外の周波数帯を使わないので、対地容量200は無視でき、容量結合回路115とワイヤ130の直列回路とみなすことができる。この容量結合回路115とワイヤ130の値を使用周波数帯fで直列共振を起こすように設定すれば、接地インピーダンスZは、次式より

【0036】

【数2】

$$Z = \sqrt{R^2 + \left(\omega L - \frac{1}{\omega C}\right)^2} \quad (2)$$

【0037】極小点となり、回路は安定動作が可能となる。ここで、Rは容量結合回路115、ワイヤ130及び増幅素子のエミッタ抵抗の直列回路全体の抵抗を示す。また、図5に示すように使用周波数帯域Δfに対してバンドパス状に接地インピーダンスが得られるため、不要信号を除去することも可能である。

【0038】図6は本実施形態(図4)と従来例(図14)との実装時の増幅素子の利得特性および効率特性を示す図である。実線は本実施形態、破線は従来例を示す。測定は同一入出力条件で、同一増幅器ICを用いて行った。測定周波数は使用周波数帯fである2.0GHzである。入力パワーに対する出力パワーの比、すなわち利得は、従来例に比べて本実施形態の方が12dB程度良好である。これは増幅素子の使用周波数帯fにおける本実施形態及び従来例のトランジスタ素子抵抗を含めた接地インピーダンスの比によって決まる値であり、トランジスタ素子の寄生エミッタ抵抗を1Ω、従来例の2.0GHzにおける接地インピーダンスを3Ωとしたとき、ワイヤインダクタンスによる接地インピーダンスの増加分

は12dB程度であることから、本実施形態によって接地インピーダンスが素子寄生抵抗分のみの最小値で済んでいることがわかる。

【0039】また、同一条件で出力パワーが増加するため、図6に示すように、効率に対しても本実施形態によって、ワイヤインダクタンスの影響を除去することができるため、高効率となっている。

【0040】図7は、図1の容量結合回路115の概略断面図である。本実施形態では、容量結合回路115として、第1配線層304、第2絶縁層303及び第2配線層305で構成されたMIM(Metal-Insulator-Metal)キャパシタを用いた。例えば、半導体基板301はGaAs基板、第1絶縁層302はSiO<sub>2</sub>層、第2絶縁層303はSiO<sub>2</sub>層、第1配線層304はAu層、第2配線層305はAu層である。第1配線層304は図1の信号増幅回路110内の増幅素子の接地電極へ、第2配線層305は図1の第2接地端子114へ接続されている。

【0041】(第2の実施形態)図8は本発明の第2実施形態に係る高周波集積回路の概略ブロック図である。図1と同じ構成要素については、図1の説明を参照していただき、ここでは省略する。図1と異なる点は、図1の容量結合回路115が可変容量結合回路120に置き換わっている点と、この可変容量結合回路の容量値を変更するための調整端子121が備わっている点である。この調整端子はICチップ上でのボンディングパッドであり、ICチップ外部と電気的に接続可能である。また、前記可変容量結合回路が可変ダイオードである場合、前記調整端子は電圧端子である。

【0042】本実施形態でも、第1の実施形態で説明したように、対地容量によるICチップ内の増幅素子の利得劣化が生じにくくなり、出力パワーの劣化も低減できる。さらに、ICチップをプラスチックパッケージに実装後に可変容量回路の容量値を調整できるので、第1の実施形態に比べてより正確に出力パワーの劣化を低減できる。

【0043】図9は図8の回路構成の具体的な回路図である。図8の可変容量結合回路120が接地用キャパシタCg3、Cg4に相当する。図2と同じ構成要素については、図2の説明を参照していただき、ここでは省略する。図2と異なる点は、接地用キャパシタCg3、Cg4の容量値が変化することである。このような構成にすることにより、実装形態によって接地インダクタンスLw1~Lw4が変化してもそれに応じて容量値を変化させれば良く、最小の接地インピーダンス状態を実装形態に依らず実現できる。また、トランジスタQ1、Q2の使用周波数fが変更となった場合でも、それに応じて容量値を変化させれば良く、汎用性に優れている。

【0044】図10は、図8の可変容量結合回路120の概略断面図である。本実施形態では、可変容量結合回路120として、P層406(不純物はボロン(B)、



不純物濃度は $1 \times 10^{15} \text{ cm}^{-3}$ ),  $P^+$ 層 407 (不純物はボロン (B)、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ ),  $N^+$ 層 408 (不純物はヒ素 (As)、不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ ) 及びN層 409 (不純物はヒ素 (As)、不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ ) で構成されたバラクタダイオードを用いた。例えば、半導体基板 401 はGaAs 基板、絶縁層 402 は $\text{SiO}_2$ 層、第1配線層 404 はAu層、第2配線層 405 はAu層である。第1配線層 404 は図8の信号増幅回路 110 内の増幅素子の接地電極へ、第2配線層 405 は図8の第2接地端子 114 へ接続されている。図8の調整端子 121 は第2配線層 405 のどこかに接続されていればよい。

【0045】 (第3の実施形態) 図11は本発明の第3実施形態に係る高周波集積回路のブロック図である。図1と同じ構成要素については、図1の説明を参照していただき、ここでは省略する。図1と異なる点は、容量結合回路 115 と第2接地端子 114 の間に負性抵抗回路 122 が設けられている点である。本実施形態でも、第1の実施形態で説明したように、対地容量によるICチップ内の増幅素子の利得劣化が生じにくくなり、出力パワーの劣化も低減できる。

【0046】 さらに、本実施形態はICチップ内の増幅素子 (ここではバイポーラトランジスタとして説明する) の寄生抵抗分 (エミッタ抵抗RE) に見合った絶対値で、負の符号となる負性抵抗回路 122 を備えており、使用周波数  $f$  で接地インピーダンスが $-RE$ になるように設定する。その場合、トランジスタQ1の真性トランジスタ領域から接地インピーダンスを見ると $0 \Omega$ となり、負帰還のかからない理想的な信号増幅回路とすることが可能である。すなわち負性抵抗回路 122 を備えることによって、真性トランジスタ領域本来の利得特性を得ることができる。

【0047】 図12は、図11の負性抵抗回路 122 の回路図である。端子 501 は図11の信号増幅回路 110 内の増幅素子の接地電極に容量結合回路 115 を介して接続されており、端子 114 は図11の第2接地端子である。502 はバイポーラトランジスタ、503 は容量素子、504 はコイルである。

【0048】 端子 501 から第2接地端子 114 方向へ見た場合のインピーダンス  $Z$  は次式で表される。

【0049】

【数3】

$$Z = \frac{(\omega L - \frac{1}{\omega C})(\omega L g_m + j)}{\omega^2 L^2 g_m^2 + 1} \quad (3)$$

【0050】 ここで、 $g_m$  はバイポーラトランジスタ 502 のトランスコンダクタンス、 $C$  は容量素子 503 のキャパシタンス、 $L$  はコイル 504 のインダクタンスである。

【0051】 従って、 $[\omega L - 1/(\omega C)]$  が負となる条

件、すなわち、 $\omega^2 L C$  が1未満となるように設定すれば、負性抵抗回路 122 は負の抵抗を発生することができる。

【0052】 (他の実施形態) 以上、本発明の第1乃至第3の実施形態について説明したが、本発明は上述した実施形態の限定されるものではない。本発明は、その趣旨を逸脱しない範囲で適宜上述した実施形態の変更が可能である。例えば、図11の容量結合回路 115 を図8の可変容量結合回路 120 で置き換えてもよい。

【0053】

【発明の効果】 本発明によれば、出力パワーの劣化を低減した高周波集積回路を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る高周波集積回路のブロック図。

【図2】 図1の回路構成の具体的な回路図。

【図3】 第1実施形態に係る高周波集積回路を実装したプラスチックパッケージ図。

【図4】 第1実施形態時のプラスチックパッケージ内部での実装による寄生成分の模式図。

【図5】 周波数とインピーダンスの関係図。

【図6】 入力パワーと出力パワー及び効率の関係図。

【図7】 図1の容量結合回路 115 の概略断面図。

【図8】 本発明の第2実施形態に係る高周波集積回路のブロック図。

【図9】 図8の回路構成の具体的な回路図。

【図10】 図8の可変容量結合回路 120 の概略断面図。

【図11】 本発明の第3実施形態に係る高周波集積回路のブロック図。

【図12】 図11の負性抵抗回路 122 の回路図。

【図13】 従来のプラスチックパッケージの概略図。

【図14】 従来のプラスチックパッケージ内部での実装による寄生成分の模式図。

【図15】 従来の高周波集積回路のブロック図。

【符号の説明】

Q1~Q4 トランジスタ

Cc1~Cc3 交流結合用キャパシタ

Cg1~Cg4 キャパシタ

Lv1~Lv4 信号遮断用インダクタ

Lw1~Lw4 接地ワイヤのインダクタ

RFin 信号入力用パッド

Vb1, Vb2 ベース電源電圧用パッド

Vc1, Vc2 コレクタ電源電圧用パッド

100 リードフレーム

101 ベッド

102 ICチップ

103 モールド樹脂

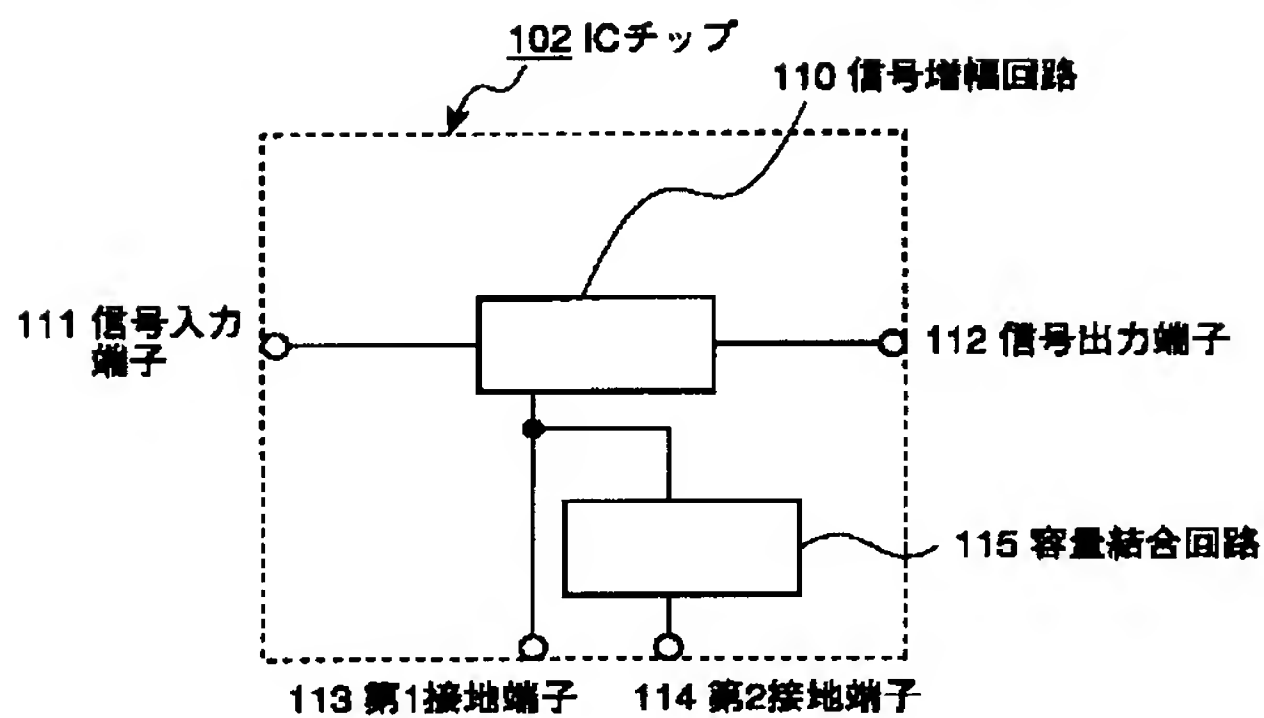
104 IC電源リード線

105 入力リード線

11

- |       |          |
|-------|----------|
| 1 0 6 | 出力リード線   |
| 1 0 7 | パッド      |
| 1 0 8 | 接地パッド    |
| 1 0 9 | 接地リード線   |
| 1 1 0 | 信号増幅回路   |
| 1 1 1 | 信号入力端子   |
| 1 1 2 | 信号出力端子   |
| 1 1 3 | 第1接地端子   |
| 1 1 4 | 第2接地端子   |
| 1 1 5 | 容量結合回路   |
| 1 1 6 | 第1接地リード線 |
| 1 1 7 | 第2接地リード線 |
| 1 1 8 | 第1接地パッド  |
| 1 1 9 | 第2接地パッド  |
| 1 2 0 | 可変容量結合回路 |
| 1 2 1 | 調整端子     |
| 1 2 2 | 負性抵抗回路   |

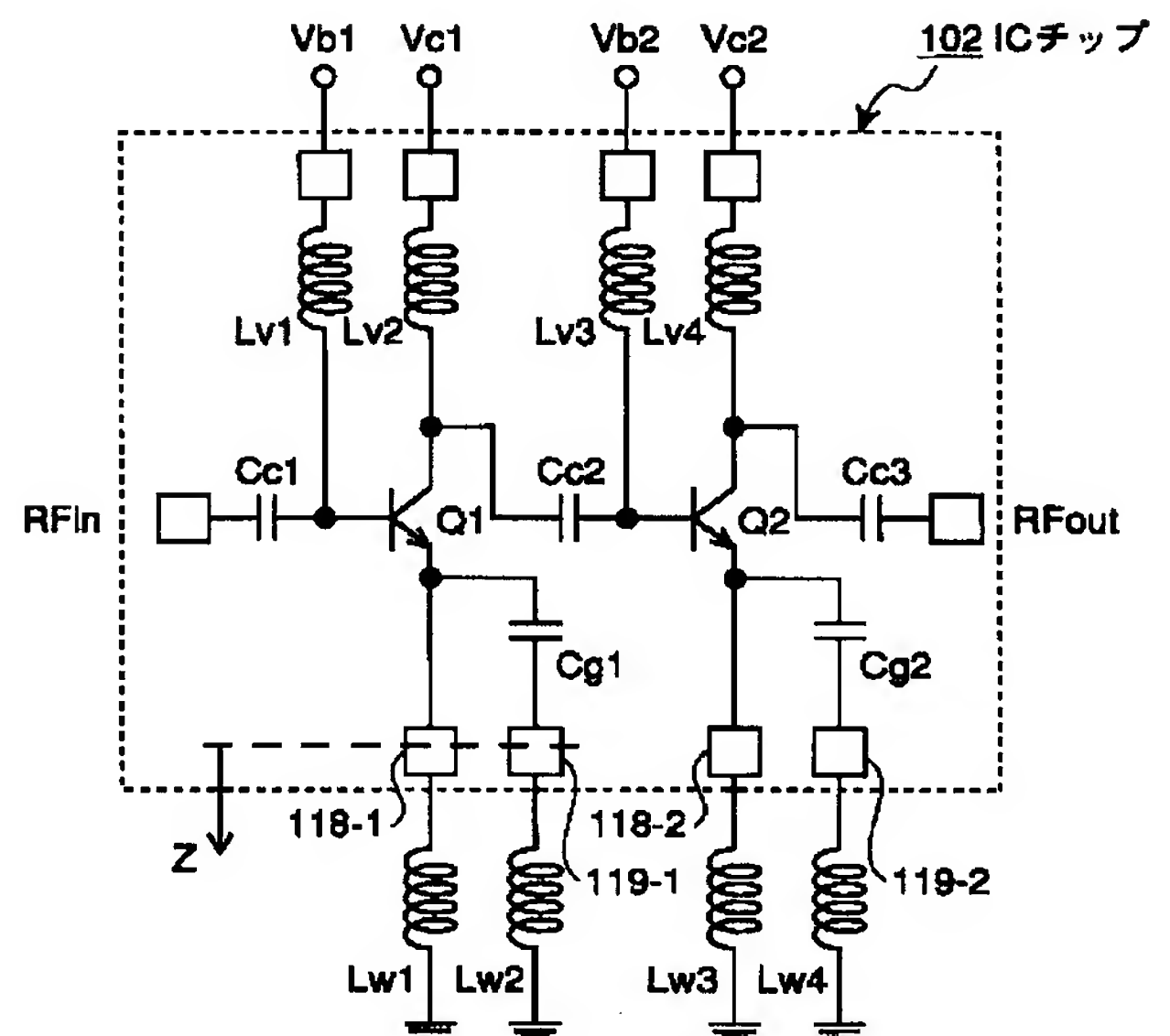
【图 1】



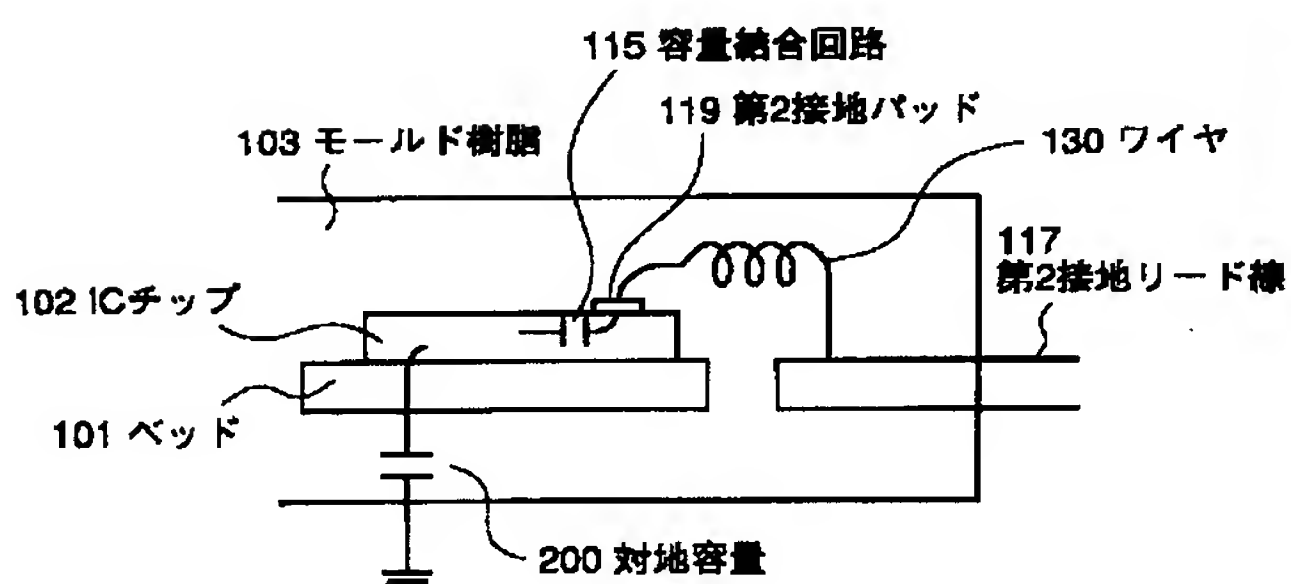
12

- |          |                  |
|----------|------------------|
| 1 3 0    | ワイヤ              |
| 2 0 0    | 対地容量             |
| 3 0 1,   | 4 0 1 半導体基板      |
| 3 0 2    | 第1絶縁層            |
| 3 0 3    | 第2絶縁層            |
| 3 0 4,   | 4 0 4 第1配線層      |
| 3 0 5,   | 4 0 5 第2配線層      |
| 4 0 2    | 絶縁層              |
| 4 0 6    | P層               |
| 10 4 0 7 | P <sup>+</sup> 層 |
| 4 0 8    | N <sup>+</sup> 層 |
| 4 0 9    | N層               |
| 5 0 1    | 端子               |
| 5 0 2    | バイポーラトランジスタ      |
| 5 0 3    | 容量素子             |
| 5 0 4    | コイル              |

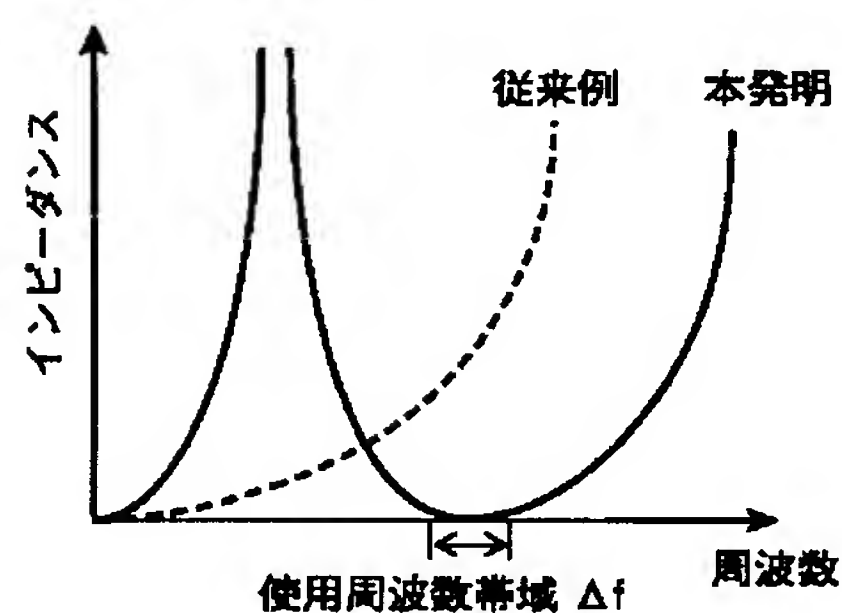
【圖 2】



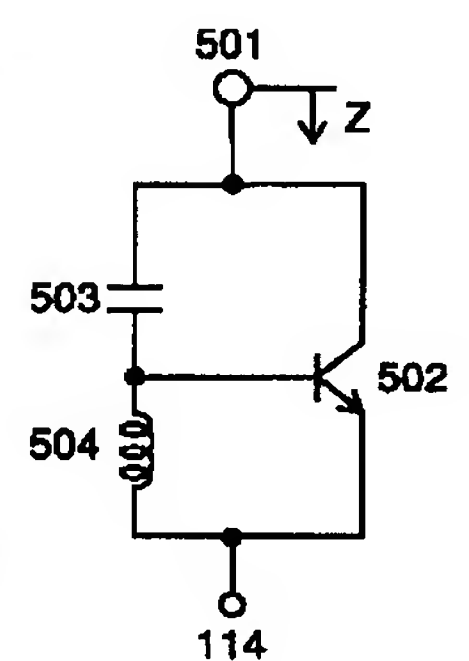
【图 4】



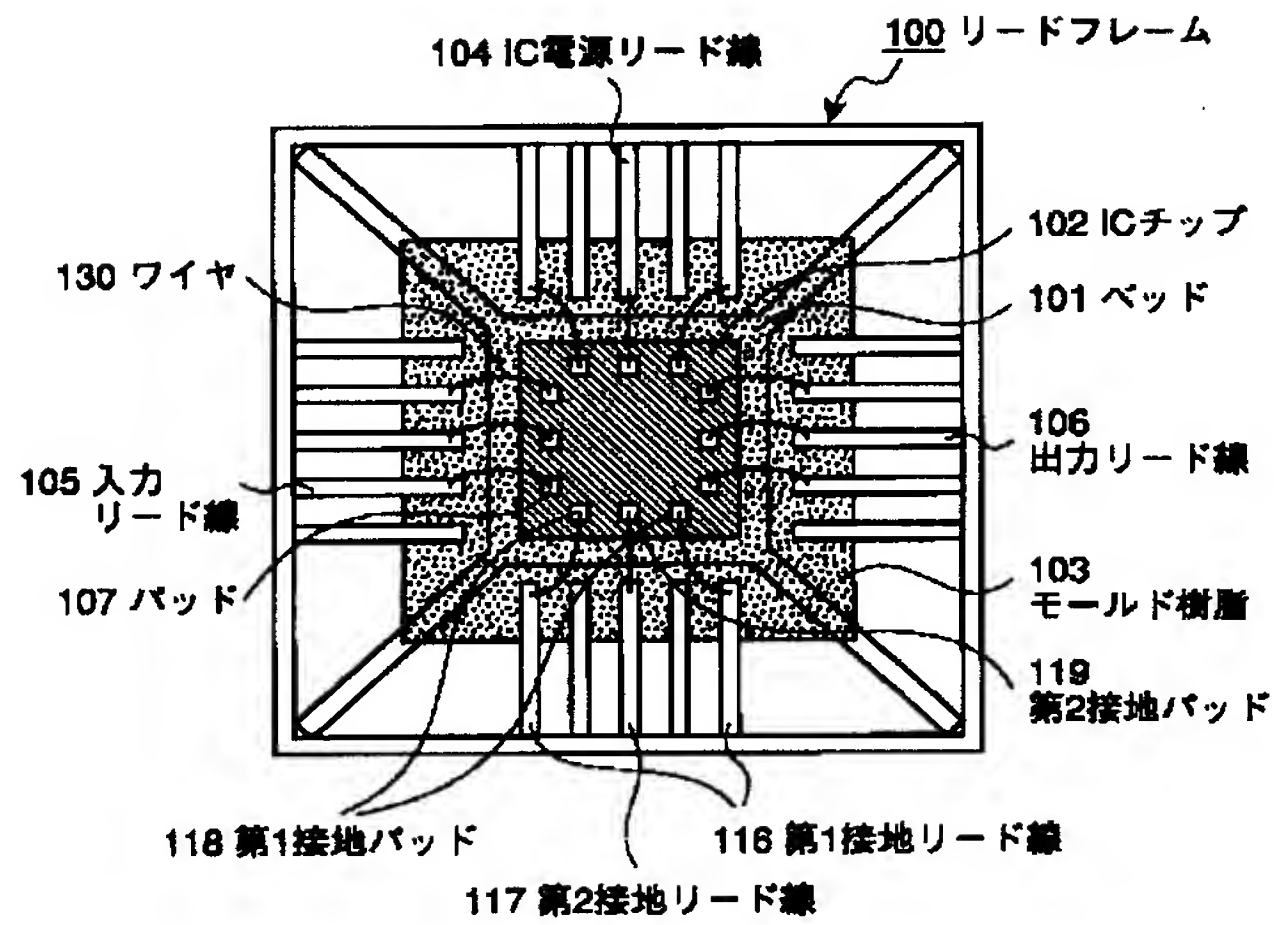
【图 5】



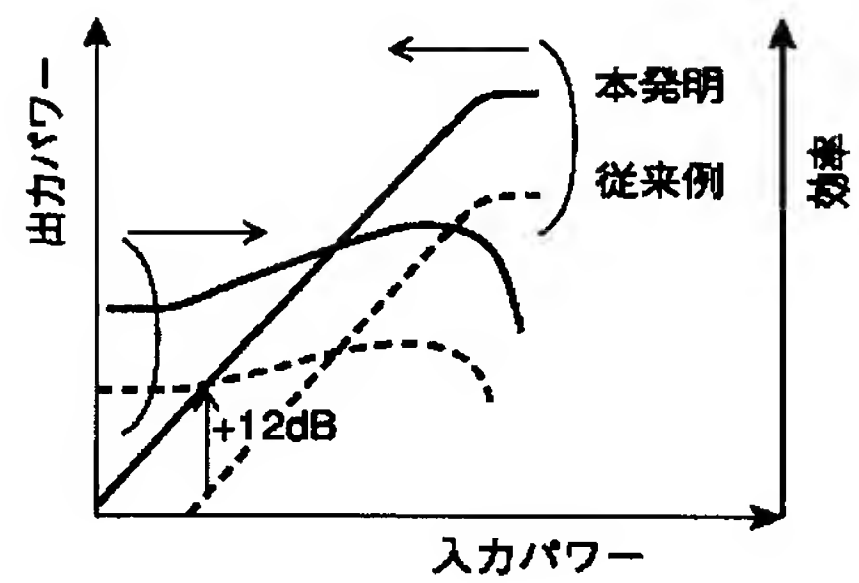
【图 12】



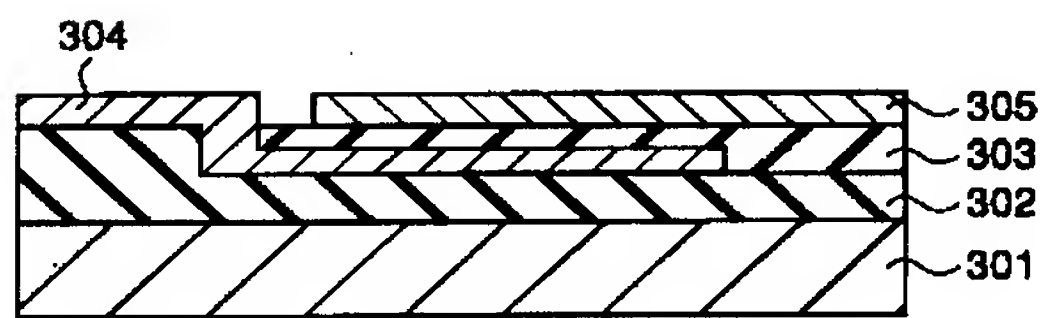
【図 3】



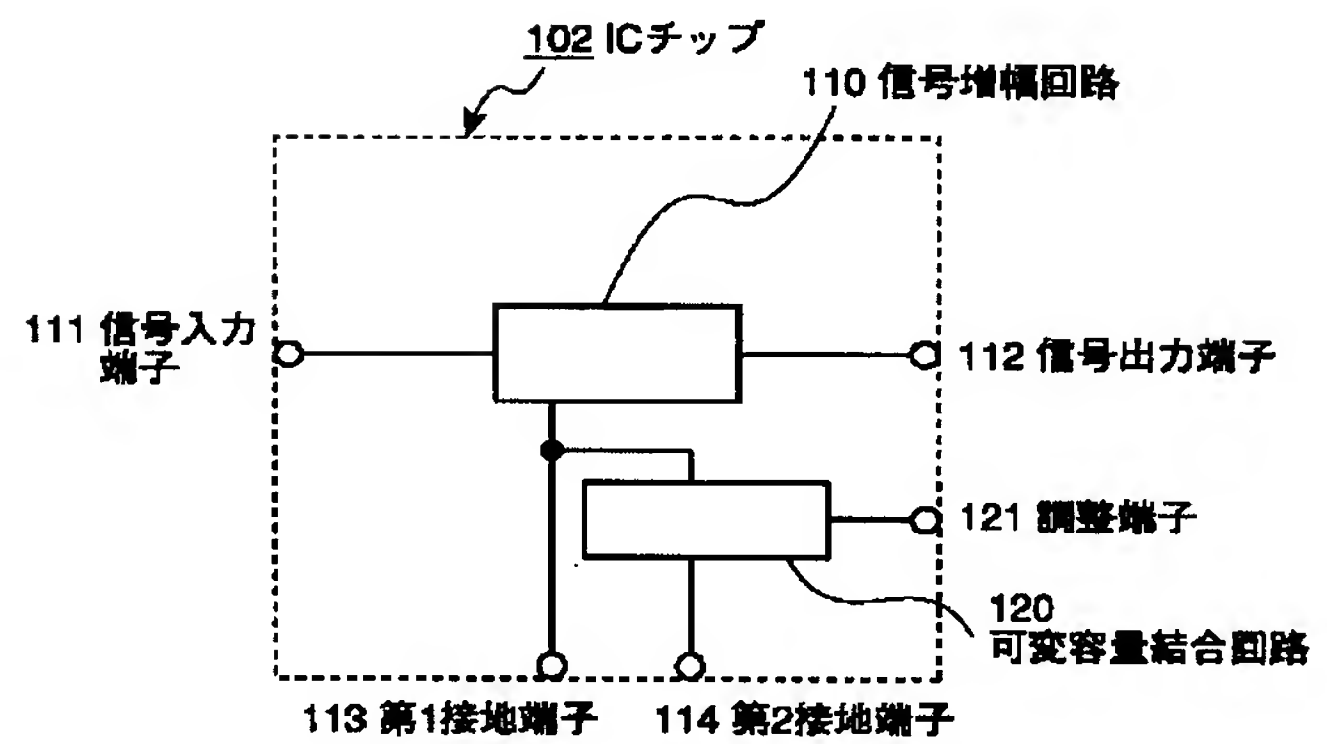
【図 6】



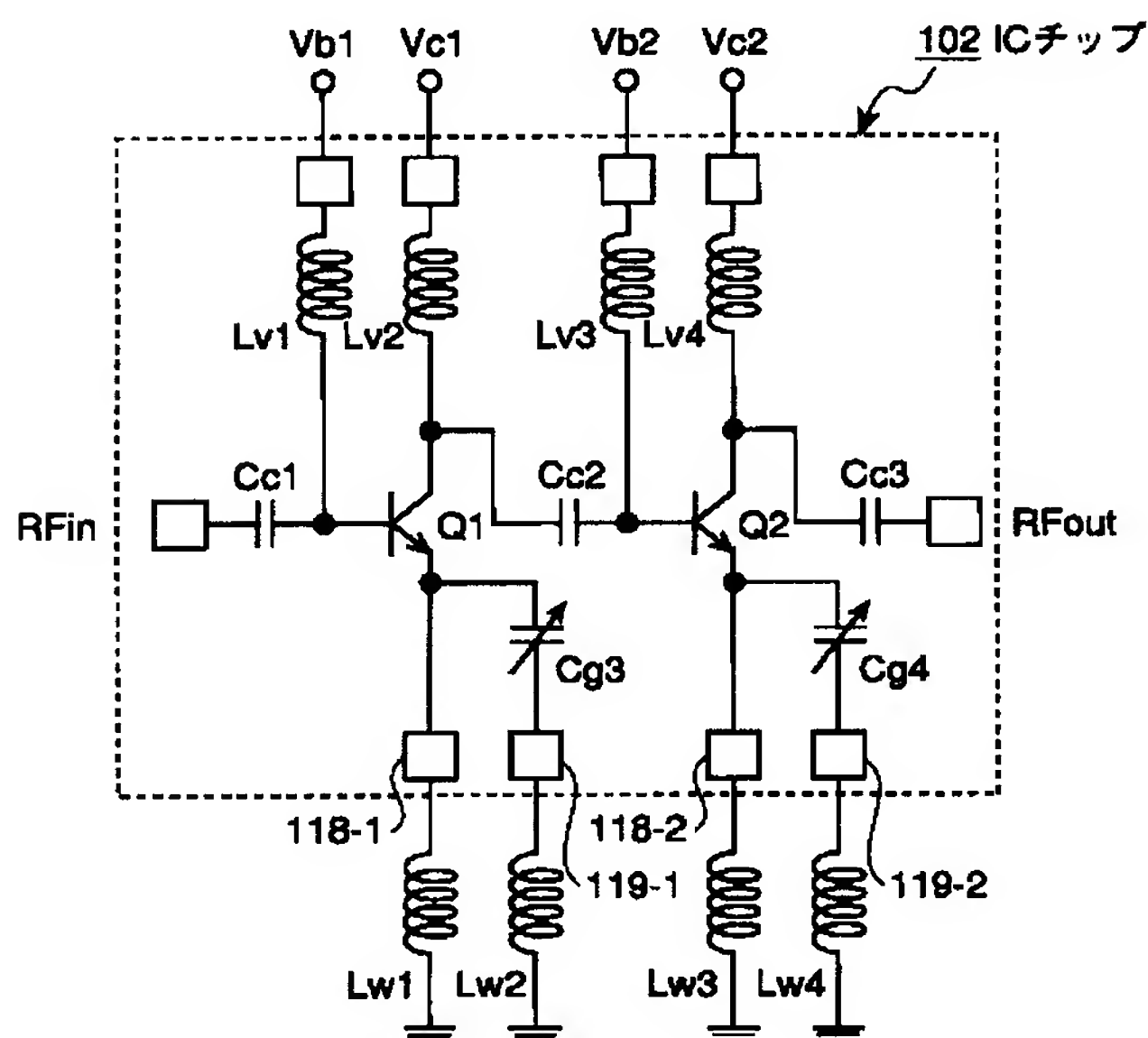
【図 7】



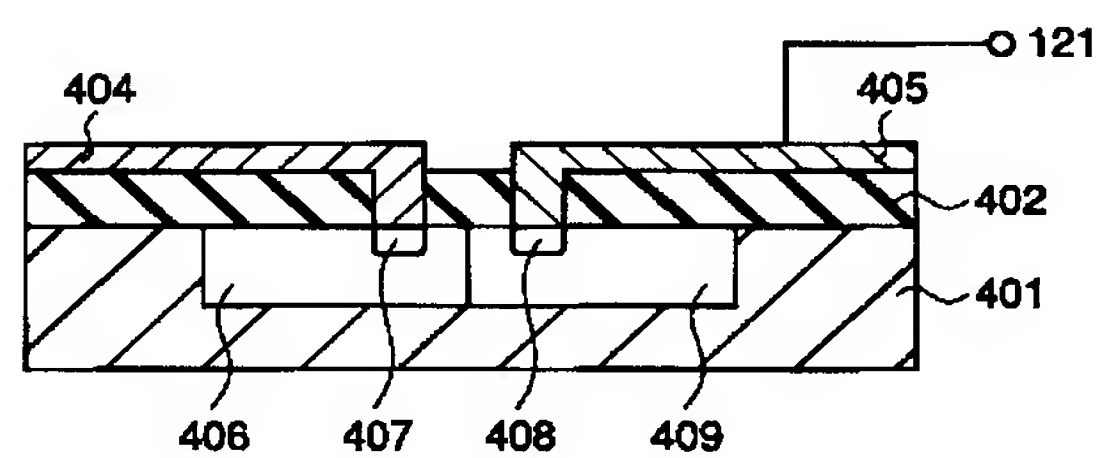
【図 8】



【図 9】

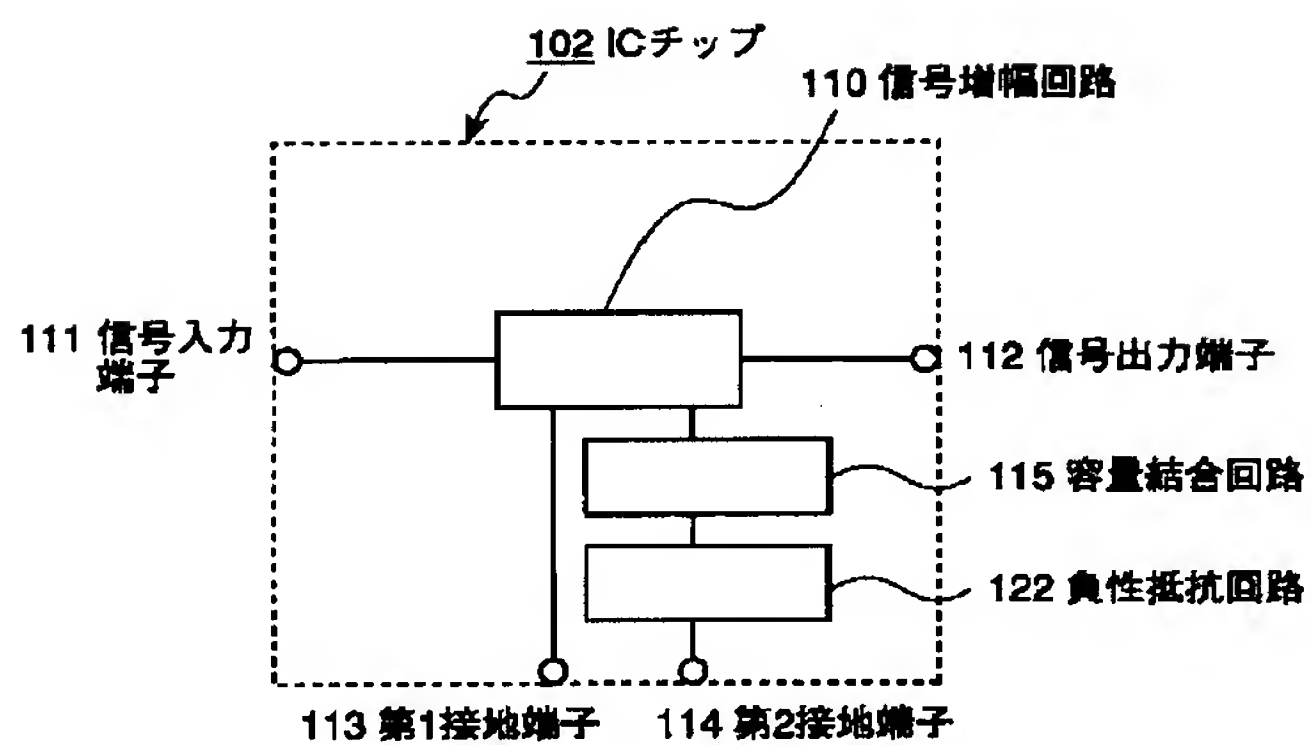


【図 10】

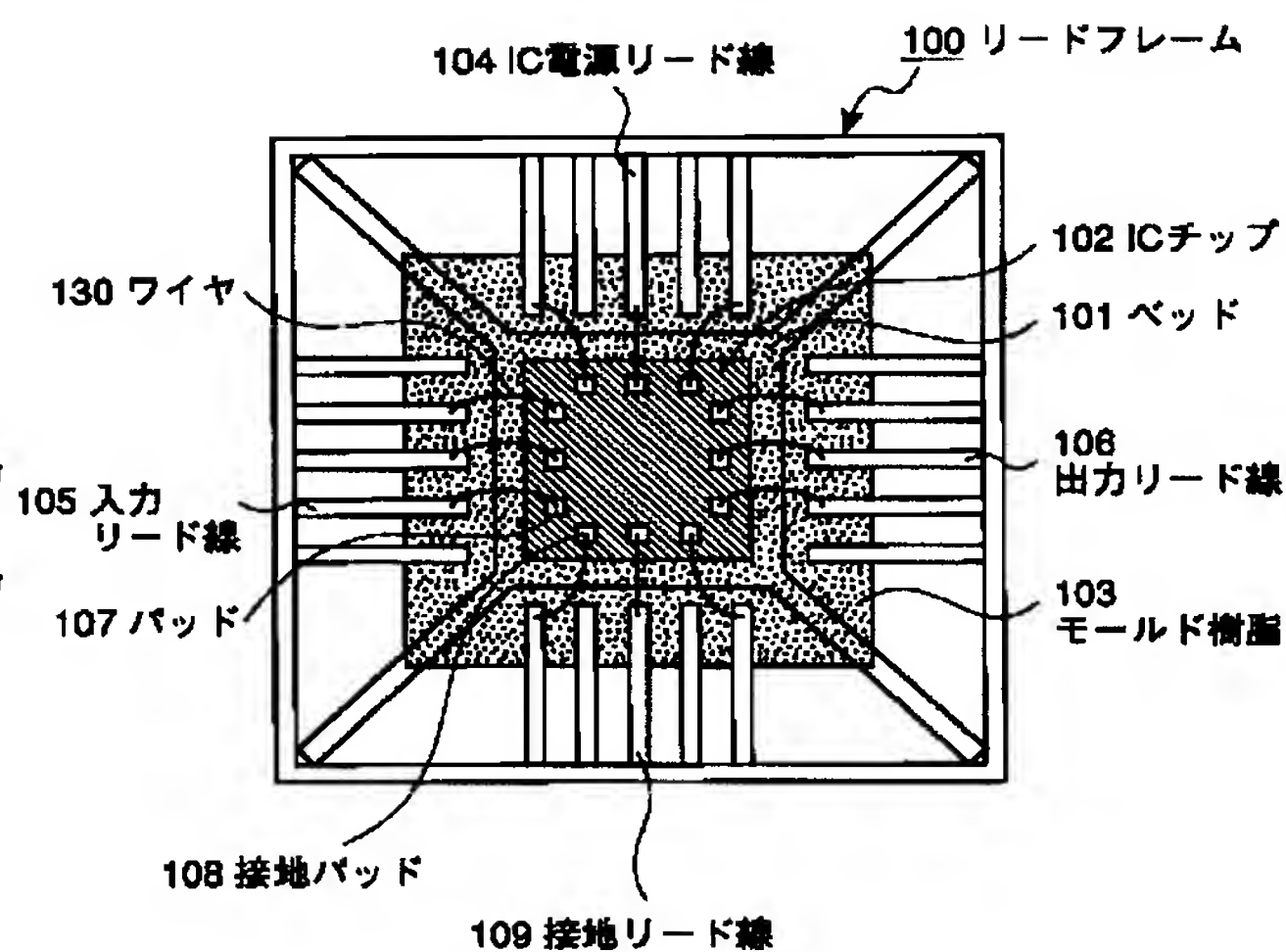




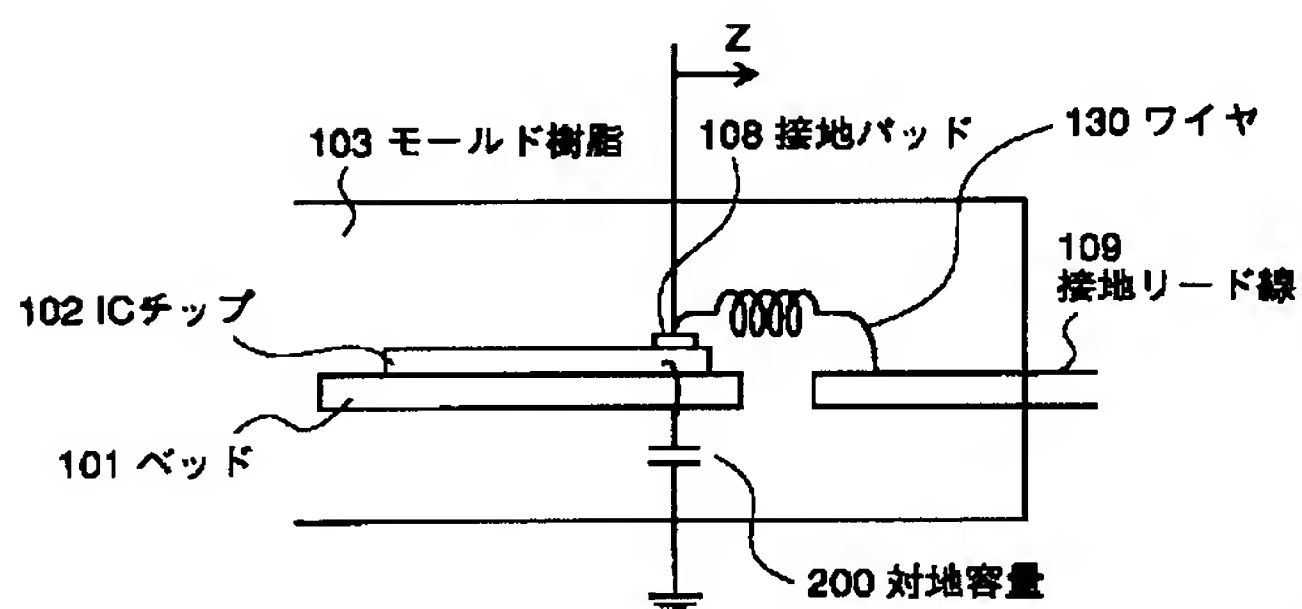
【図11】



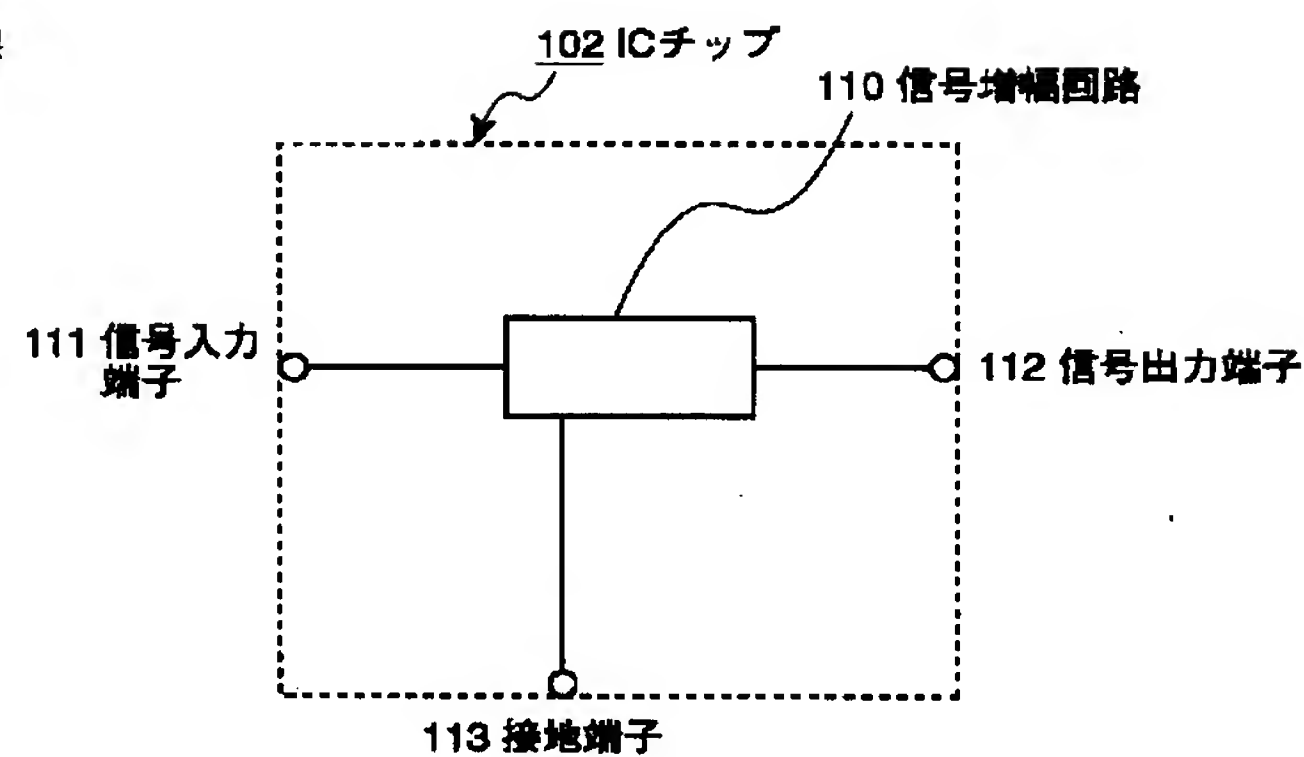
【図13】



【図14】



【図15】



フロントページの続き

Fターム(参考) 5F038 AC01 AC03 AC05 AC12 AC15  
 AV04 AZ06 BE07 BE09 BH02  
 BH03 BH19 DF01 DF02 EZ01  
 EZ20  
 5J092 AA01 CA36 FA16 HA06 HA11  
 HA25 HA29 HA33 QA02 QA03  
 QA04 SA13 TA01 TA02 TA03